

## ⑫ 公開特許公報(A)

昭60-113398

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)6月19日

G 11 C 19/28

7341-5B

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 昭58-220318

⑰ 出 願 昭58(1983)11月22日

⑱ 発 明 者 山 崎 卓 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
⑲ 発 明 者 河 野 友 和 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
⑳ 出 願 人 株式会社諏訪精工舎 東京都新宿区西新宿2丁目4番1号  
㉑ 代 理 人 弁理士 最 上 務

## 明 細 書

## 1. 発明の名称

半導体集積回路

## 2. 特許請求の範囲

直列接続した $n$ 個のFF(フリップフロップ)で構成されるシフトレジスタを有する半導体集積回路において、前記シフトレジスタを駆動する転送クロックパルファは第1パルファと第2パルファの少なくとも2系列に分かれており前記第1パルファは前記シフトレジスタの最終段もしくは、最終段を含む複数個のFFを駆動し前記第2パルファは、第1パルファによって駆動されるFF以外FFを駆動するように別系列構成されていることを特徴とする半導体集積回路。

## 3. 発明の詳細な説明:

〔技術分野〕

本発明は直列接続した多数のFFで構成される

シフトレジスタを有するIC(半導体集積回路)に関し、特にICチップ内でのシフトレジスタ用転送クロック発生回路に関する。前記ICの例としては、液晶表示体ドライブ用IC、蛍光表示体ドライブ用ICやサーマルヘッドドライブ用IC等があげられる。これらのICは1チップ内に20~80個程度のFFが直列接続されたシフトレジスタを有しており、更に機器として必要な出力数に応じてこれらのICチップは第1図に示すように複数個直列接続(通常カスケード接続と呼ばれる)されて用いられる。

〔従来技術〕

シフトレジスタを有するICにおいては、従来より第2図に示したように転送クロック入力CIは3でパルファされ、シフトレジスタを構成する全フリップフロップFF<sub>1</sub>~<sub>n</sub>に接続される。一例として8ドット/mmでB4版サイズのラインをプリントするためのサーマルヘッドでは、1チップ内に32ビット( $n=32$ )のレジスタを有するICが、第1図のように64個( $i=64$ )

カスケード接続して用いられている。また640×200ドットの液晶表示パネルモジュールでは1チップ内に64ビットのレジスタを有するI/Oが10又は20個カスケード接続して用いられている。これらのモジュールにおいては、シリアルデータを数MHzという高速で転送することが要求される。

第3図は第2図の回路図のタイムチャートである。以下に従来I/Oにおける欠点を第1～3図を用いて説明する。

シリアルデータを高速で転送しようとした時、OLIBのOLI入力に対する遅れ時間 $t_1$ や、FF自体の遅れ時間 $t_2$ をできるだけ小さく抑える必要がある。更にI/Oチップがカスケード接続されている時は、FF最終段の出力 $Q_n$ が次段のI/Oの初段FFのデータ入力(DIB)に達するまでの遅れ時間 $t_3$ も小さく抑える必要がある。

従来I/Oにおいては転送クロック用バッファ3がシフトレジスタを構成する全FFを駆動しているため、FFの段数が多いとそれに比例してバ

ッファ3の負荷が増して $t_1$ が大きくなってしまう。図1のようにカスケード接続されたモジュールの転送速度は $t_{d1} = (t_1 + t_2 + t_3)$ で制限されるため、I/Oチップ内のFFの段数が多いと $t_1$ が大きくなり悪影響を与え、カスケード接続でのシリアルデータの高速転送が困難となる。

バッファ3の能力を大きくすることは $t_1$ を小さくすることに効果はあるが、単純にバッファ能力を上げるとは比例してチップ面積増大をもたらすので望ましい方法ではない。更に、バッファ3の能力を増すと比例してOLI端子のゲート容量=入力容量が増えてしまう。SOLを駆動するドライバーは100Ω近いインピーダンスを持つためI/Oチップの入力容量が20PF程度のもを50個カスケード接続するとSOL自体の遅れ時間が100nsにもなってしまうため、この点からもバッファ3の能力はむやみに大きくは出来ない。

#### (目的)

本発明の目的は多段のシフトレジスタを有する

I/Oをカスケード接続したモジュールにおいて、高速のデータ転送を可能にするところにある。より詳しく言えば、従来例で述べたようにカスケード接続したモジュールの転送速度を制限する遅れ時間 $t_{d1} = (t_1 + t_2 + t_3)$ から、 $t_1$ の項を無視し得るようにしたI/Oを提供するところにある。

#### (概要)

本発明の特徴は直列接続した $n$ 個のFFで構成されるシフトレジスタを有するI/Oにおいて、前記シフトレジスタ用の転送クロックのバッファが最終段を含む $m$ 個のFFを駆動するバッファと、それ以外の $l$ 個( $m < l$ ,  $m + l = n$ )のFFを駆動するバッファとに別々に設けるところにある。

#### (実施例)

本発明の一実施例であるI/Oの回路図を第4図に示す。この実施例においては、最終段のフリップフロップ $FF_n$ のみを駆動する転送クロック用バッファ7と、それ以外のフリップフロップ $FF_1 \sim$

$FF_{(n-1)}$ を駆動する転送クロック用バッファ6とを別々に設けている。

第5図は第4図の回路図のタイムチャートである。OLIB<sub>1</sub>のOLI入力に対する遅れ時間は従来例と同様で $t_1$ にほぼ等しい。一方バッファ7の負荷はバッファ6の負荷よりかなり小さいため、OLIB<sub>2</sub>のOLI入力に対する遅れ時間 $t_4$ は $t_1$ にくらべて無視し得るほど小さい。それゆえ $Q_1 \sim Q_{n-1}$ のOLI入力に対する遅れ時間は従来例と同様 $t_1 + t_2$ であるが、 $Q_n$ のOLI入力に対する遅れは従来例と異なり $t_4 + t_2$ となる。

よってI/Oチップをカスケード接続したモジュールでの転送速度を制限する遅れ時間 $t_{d2}$ は $t_4 + t_2 + t_3$ となり、 $t_{d1}$ に $t_1$ が影響を与えないことになる。 $t_4, t_2 \ll t_1, t_3$ であるので、 $t_{d2}$ を従来例における $t_{d1}$ の半分以下に容易に抑えることが出来、モジュールの高速化が可能となった。バッファ7は最終段のFFのみを駆動するだけなので能力は小さくて済み

、ICへの作り込みも容易である。

なお上述の実施例においてはバッファ7で駆動するFFは最終段のもの1段のみとしたが、パターン上の都合により、最終段を含む複数のFFをバッファ7で駆動してもよい。またFF<sub>1</sub>～FF<sub>(n-1)</sub>を駆動するバッファ6についても1つでなくいくつかに分解しても構わない。

#### 〔効果〕

以上述べてきたとおり、本発明によってICチップをカスケード接続したモジュールにおいてシリアルデータ伝送の高速化が容易に出来るようになった。今後各種表示パネルの大容量化や、プリント時間の短縮化に対してモジュールの高速化が不可欠の状況において本発明はすぐれた効果を有するものである。

#### 4. 図面の簡単な説明

第1図はICチップを複数個カスケード接続してシリアルデータの伝送を行なうことを示した図である。第2図は従来のシリアルデータ伝送用IC

の回路図、第3図はそのタイムチャートである。

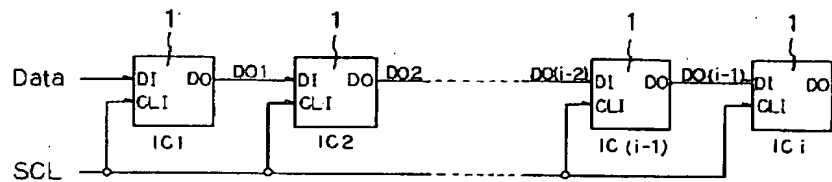
第4図は本発明のシリアルデータ伝送用ICの回路図の具体例、第5図はそのタイムチャートである。

- 1 ……シフトレジスタ内蔵のICチップ
- 2 ……フリップフロップ
- 3, 4, 5, 6, 7 ……バッファ

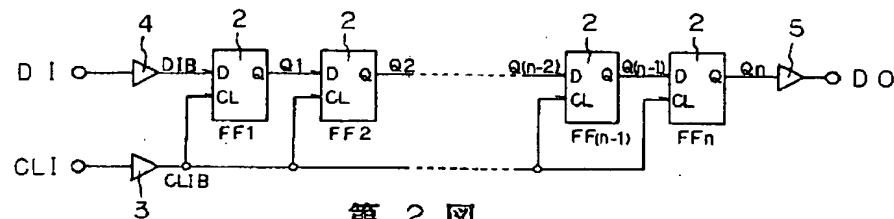
以上

出願人 株式会社敵防精工舎

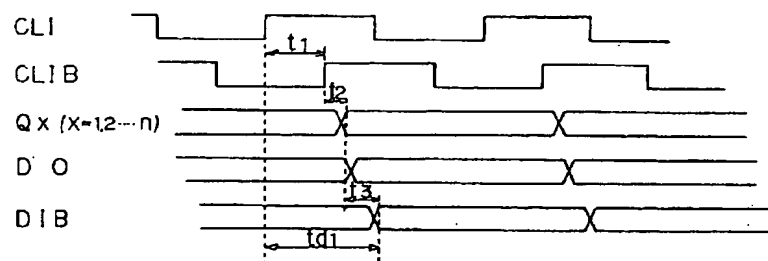
代理人 弁理士 飯上 務



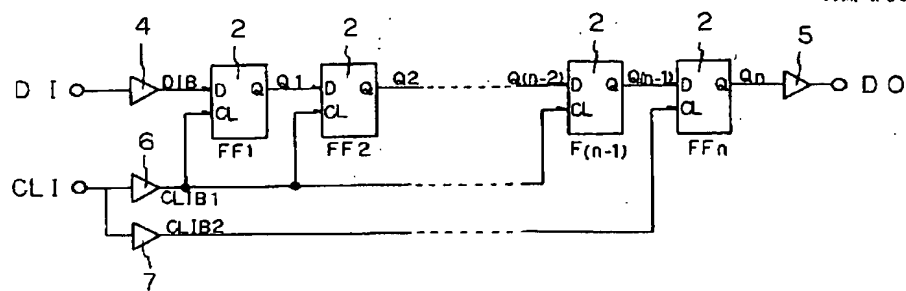
第1図



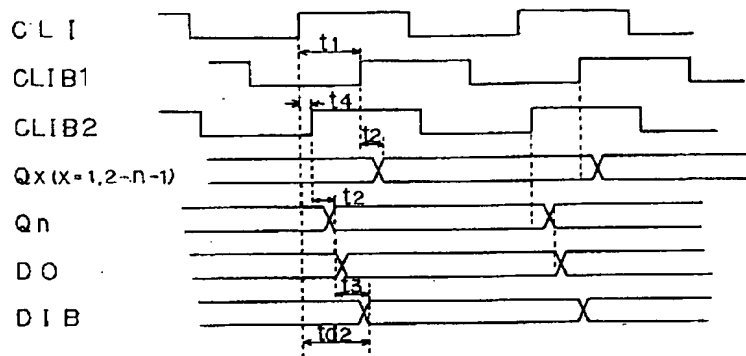
第2図



第3図



第 4 図



第 5 図